

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-155557

(43)Date of publication of application : 06.06.2000

(51)Int.Cl. G09G 3/28
G09G 3/20

(21)Application number : 10-330638

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 20.11.1998

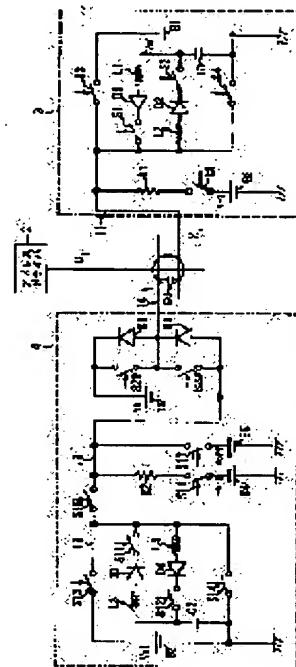
(72)Inventor : IDE SHIGEO
SUZUKI MASAHIRO

(54) PDP DRIVE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To supply a sustain discharge pulse current to a plasma display panel(PDP) in a sustain period without enlarging a circuit scale by electrically applying the output of a sustain discharge driver to the other end of another side switching element when the sustain discharge driver is operated.

SOLUTION: An X row electrode driver 3 in the sustain period applies a positive voltage sustain discharge pulse IP_x to an electrode X_j . In a Y row electrode driver 4, the switching element S_{11} is turned on simultaneously when the sustain discharge pulse IP_x disappears, and the switching element S_{14} is turned off, and by such a operation, the Y row electrode driver 4 applies the positive voltage sustain discharge pulse IP_y to the electrode Y_j . In such a manner, since the sustain discharge pulse IP_x and the sustain discharge pulse IP_y are alternately generated to be applied alternately to the electrode X_j , and the electrode Y_j , a luminescent discharge cell that a wall charge remains as it is repeats discharge luminescence to sustain its luminescent state.



LEGAL STATUS

[Date of request for examination] 21.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-155557

(P 2 0 0 0 - 1 5 5 5 5 7 A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int. Cl.	識別記号	F I	テーマコード (参考)
G09G 3/28		G09G 3/28	H 5C080
3/20	611	3/20	611 A
	624		624 P

審査請求 未請求 請求項の数 2 O L (全 8 頁)

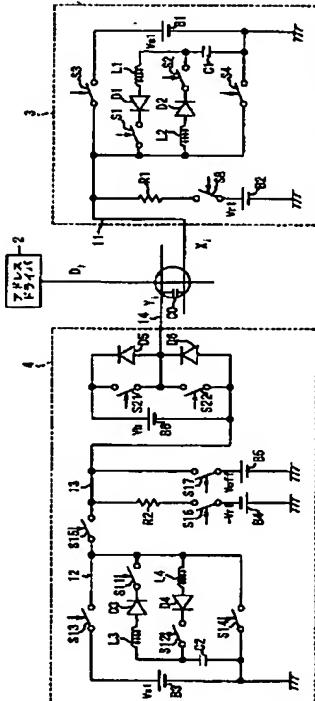
(21) 出願番号	特願平10-330638	(71) 出願人	000005016 パイオニア株式会社 東京都目黒区目黒1丁目4番1号
(22) 出願日	平成10年11月20日(1998.11.20)	(72) 発明者	井手 茂生 山梨県中巨摩郡田富町西花輪2680番地パイ オニア株式会社ディスプレイセンター内
		(72) 発明者	鈴木 雅博 山梨県中巨摩郡田富町西花輪2680番地パイ オニア株式会社ディスプレイセンター内
		(74) 代理人	100079119 弁理士 藤村 元彦 F ターム(参考) 5C080 AA05 BB05 DD22 DD27 EE29 FF12 GG12 HH02 HH04 HH05 JJ02 JJ03 JJ04

(54) 【発明の名称】 PDP 駆動装置

(57) 【要約】

【課題】 回路規模が大きくすることなくサスティン期間にPDP(プラズマディスプレイパネル)へ維持放電パルス電流を供給することができるPDP駆動装置を提供する。

【解決手段】 発光セル及び非発光セルを選択するために行電極対の一方に走査パルスを供給し、行電極対の一方で各々の一端が共通接続された2つのスイッチング素子を有するスキャンドライバと、発光セルのみを発光維持するために行電極対の一方に維持放電パルスを供給する維持放電ドライバとを備え、スキャンドライバの作動時には2つのスイッチング素子のうちの一方の他端に第1電位が印加され、他方のスイッチング素子の他端に第1電位より低く走査パルスの電位に等しい第2電位が印加され、維持放電ドライバの作動時に維持放電ドライバの出力が他方のスイッチング素子の他端に電気的に接続される。



【特許請求の範囲】

【請求項1】複数の行電極対と、前記行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを駆動する駆動装置であって、発光セル及び非発光セルを選択するために走査パルスを前記行電極対の一方に供給するスキャンドライバと、前記発光セルのみを発光維持するために前記行電極対の一方に維持放電パルスを供給する維持放電ドライバとを備え、

前記スキャンドライバは前記行電極対の一方に各々の一端が共通接続された2つのスイッチング素子を有し、前記スキャンドライバの作動時には前記2つのスイッチング素子のうちの一方の他端に第1電位が印加され、前記2つのスイッチング素子のうちの他方の他端に前記第1電位より低く前記走査パルスの電位に等しい第2電位が印加され、

前記維持放電ドライバの作動時に前記維持放電ドライバの出力が前記他方のスイッチング素子の他端に電気的に接続されることを特徴とするプラズマディスプレイパネル駆動装置。

【請求項2】前記スキャンドライバは前記一方のスイッチング素子としてのPチャンネルMOSトランジスタと、前記他方のスイッチング素子としてのNチャンネルMOSトランジスタと、前記MOSトランジスタ各々に並列接続されたダイオードとを有することを特徴とする請求項1記載のプラズマディスプレイパネル駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）の駆動装置に関する。

【0002】

【従来の技術】PDPは、周知の如く、薄型の平面表示装置として種々の研究がなされており、その1つにマトリクス表示方式のPDPが知られている。図1は、かかるPDPを含んだPDP駆動装置の構成を示す図である。図1において、PDP1には、X及びYの1対にて1画面の各行（第1行～第n行）に対応した行電極対を有する行電極Y₁～Y_n及び行電極X₁～X_mが形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列（第1列～第m列）に対応した列電極を有する列電極D₁～D_nが形成されている。この際、1組の行電極対と1つの列電極との交叉部に、1画素に対応した放電セルが形成される。

【0003】アドレスドライバ2は、映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスに変換し、これを1行分毎に、上記列電極D₁～D_nに印加する。X行電極ドライバ3は、各放電セルの残留壁電荷量を初期化する為のリセットパルス、後述するが如き発光放電セルの放電発光状

態を維持させる為の維持放電パルスを発生し、これらを上記行電極X₁～X_mに印加する。

【0004】Y行電極ドライバ4は、上記X行電極ドライバ3と同様に、各放電セルの残留壁電荷量を初期化する為のリセットパルス、発光放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極Y₁～Y_nに印加する。更に、Y行電極ドライバ4は、放電セル内に発生した荷電粒子を再形成させる為のプライミングパルス、並びに各放電セルに対し画素データパルスに応じた電荷量を形成せしめて上記発光放電セル又は非発光放電セルの設定を行う為の走査パルスSPを発生し、これらを行電極Y₁～Y_nに印加する。

【0005】図2はX行電極ドライバ3及びY行電極ドライバ4の具体的構成を電極X_j及び電極Y_jについて示している。電極X_jは電極X₁～X_mのうちの第j行の電極であり、電極Y_jは電極Y₁～Y_nのうちの第j行の電極である。電極X_jとY_jとの間はコンデンサC0として作用するようになっている。X行電極ドライバ3においては、2つの電源B1、B2が備えられている。電源B1

1は電圧V₁₁（例えば、170V）を出し、電源B2は電圧V₁₂（例えば、190V）を出力する。電源B1の正端子はスイッチング素子S3を介して電極X_jへの接続ライン11に接続され、負端子はアース接続されている。接続ライン11とアースとの間にはスイッチング素子S4が接続されている他、スイッチング素子S1、ダイオードD1及びコイルL1からなる直列回路と、コイルL2、ダイオードD2及びスイッチング素子S2からなる直列回路とがコンデンサC1を共通にアース側に介して接続されている。なお、ダイオードD1はコンデンサC1側をアノードとしており、ダイオードD2はコンデンサC1側をカソードとして接続されている。また、電源B2の正端子はスイッチング素子S8及び抵抗R1を介して接続ライン11に接続され、電源B2の負端子はアース接続されている。

【0006】Y行電極ドライバ4においては、4つの電源B3～B6が備えられている。電源B3は電圧V₁₁（例えば、170V）を出し、電源B4は電圧V₁₂（例えば、190V）を出し、電源B5は電圧V₂₁（例えば、140V）を出し、電源B6は電圧V₂₂（例えば、160V、V₂₂ > V₁₂）を出力する。電源B3の正端子はスイッチング素子S13を介してスイッチング素子S15への接続ライン12に接続され、負端子はアース接続されている。接続ライン12とアースとの間にはスイッチング素子S14が接続されている他、スイッチング素子S11、ダイオードD3及びコイルL4からなる直列回路と、コイルL4、ダイオードD4及びスイッチング素子S12からなる直列回路とがコンデンサC2を共通にアース側に介して接続されている。なお、ダイオードD3はコンデンサC2側をアノードとしており、ダイオードD4はコンデンサC2側をカソード

として接続されている。

【0007】接続ライン12はスイッチング素子S15を介して電源B6の正端子への接続ライン13に接続されている。電源B4の正端子はアース接続され、負端子はスイッチング素子S16、そして抵抗R2を介して接続ライン13に接続されている。電源B5の正端子はスイッチング素子S17を介して接続ライン13に接続され、負端子はアース接続されている。

【0008】また、接続ライン13はスイッチング素子S21を介して電極Y₁への接続ライン14に接続されている。電源B6の負端子はスイッチング素子S22を介して接続ライン14に接続されている。接続ライン13、14との間にはダイオードD5が接続され、またスイッチング素子S23とダイオードD6との直列回路が接続されている。ダイオードD5は接続ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0009】上記のスイッチング素子S1～S4、S8、S11～S17及びS21～S23のオンオフは図示しない制御回路によって制御される。図2の各スイッチング素子の矢印が制御回路からの制御信号端子である。なお、Y行電極ドライバ4において電源B3、スイッチング素子S11～S15、コイルL3、L4、ダイオードD3、D4及びコンデンサC2がサスティンドライバ部を構成し、電源B4、抵抗R2及びスイッチング素子S16がリセットドライバ部を構成し、残りの電源B5、B6、スイッチング素子S13、S17、S21、S22及びダイオードD5、D6がスキャンドライバ部を構成している。

【0010】次に、かかる構成のPDP駆動装置の動作について図3のタイミングチャートを参照しつつ説明する。PDP駆動装置の動作はリセット期間、アドレス期間及びサスティン期間からなる。先ず、リセット期間になると、Y行電極ドライバ4のスイッチング素子S23がオンとなる。スイッチング素子S23はリセット期間及びサスティン期間においてオンとなる。また、同時にX行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16がオンとなる。その他のスイッチング素子はオフである。スイッチング素子S8のオンにより電源B2の正端子からスイッチング素子S8、抵抗R1を介して電極X₁に電流が流れ、またスイッチング素子S16のオンにより電極Y₁からダイオードD5、抵抗R2、スイッチング素子S16を介して電源B4の負端子に電流が流れ込む。電極X₁の電位はコンデンサC0と抵抗R1との時定数により徐々に上昇してリセットパルスPR₁となり、電極Y₁の電位はコンデンサC0と抵抗R2との時定数により徐々に低下してリセットパルスPR₁となる。このリセットパルスPR₁は電極X₁～X_nの全てに同時に印加され、リセットパルスPR₁も電極Y₁～Y_n毎に生成

されて電極Y₁～Y_n全てに同時に印加される。

【0011】これらリセットパルスPR₁及びPR₂の同時印加により、PDP1の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S8及びスイッチング素子S16はリセットパルスPR₁及びPR₂のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4、S14及びS15がオンとなり、電極X₁及びY₁は共にアースされる。これによりリセットパルスPR₁及びPR₂は消滅する。

【0012】次に、アドレス期間が開始されると、スイッチング素子S14及びS15がオフとなり、スイッチング素子S23がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S22がオンとなる。スイッチング素子S17のオンにより電源B5と電源B6とが直列に接続された状態となり、電源B6の負端子には電圧V₅とV₆との差を示す負電位が生じ、それが電極Y₁に印加される。

【0013】アドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスDP₁～DP_nに変換し、これを1行分毎に、上記列電極D₁～D_nに順次印加する。図3に示すように電極Y₁、Y₁₊₁に対しては画素データパルスDP₁、DP₁₊₁が印加される。

【0014】Y行電極ドライバ4は、正電圧のブライミングパルスPPを行電極Y₁～Y_nに順次印加して行く。更に、各ブライミングパルスPPの印加直後でありかつ

30 上記画素データパルス群DP₁～DP_n各々のタイミングに同期させて負電圧の走査パルスSPを行電極Y₁～Y_nに順次印加して行く。電極Y₁について説明すると、ブライミングパルスPPを生成する際には、スイッチング素子S21がオンとなり、スイッチング素子S22がオフとなる。また、スイッチング素子S17はオフのままである。これにより電源B5の正端子の電位V₅がスイッチング素子S17、そしてスイッチング素子S21を介して電極Y₁にブライミングパルスPPとして印加される。ブライミングパルスPPの印加後、アドレスドライバ2からの画素データパルスDP₁の印加に同期してスイッチング素子S21がオフとなり、スイッチング素子S22がオンとなる。これにより電源B6の負端子の電圧V₆とV₅との差を示す負電位が電極Y₁に走査パルスSPとして印加される。そして、アドレスドライバ2からの画素データパルスDP₁の印加の停止に同期してスイッチング素子S21がオンとなり、スイッチング素子S22がオフとなり、電源B5の正端子の電位V₅がスイッチング素子S17、そしてスイッチング素子S21を介して電極Y₁に印加される。その後、電極Y₁₊₁についても図3に示すように、電極Y₁と同様にブ

タイミングパルス P P が印加され、アドレスドライバ2からの画素データパルス D P_{1,1}の印加に同期して走査パルス S P が印加される。

【0015】走査パルス S P が印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルス S P が印加されたものの正電圧の画素データパルスが印加されなかつた放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなつた放電セルは発光放電セル、壁電荷が消滅してしまつた放電セルは非発光放電セルとなる。

【0016】アドレス期間からサスティン期間に切り替わる時には、スイッチング素子 S 17, S 21 はオフとなり、代わってスイッチング素子 S 14 及び S 15 がオンとなる。スイッチング素子 S 4 のオン状態は継続される。サスティン期間において、X行電極ドライバ3では、スイッチング素子 S 4 のオンにより電極 X_i の電位はほぼ 0 V のアース電位となる。次に、スイッチング素子 S 4 がオフとなり、スイッチング素子 S 1 がオンになると、コンデンサ C 1 に蓄えられている電荷によりコイル L 1、ダイオード D 1、そしてスイッチング素子 S 1 を介して電流が電極 X_i に達してコンデンサ C 0 に流れ込み、コンデンサ C 0 を充電させる。このとき、コイル L 1 及びコンデンサ C 0 の時定数により電極 X_i の電位は図3に示すように徐々に上昇する。

【0017】次いで、スイッチング素子 S 1 がオフとなり、スイッチング素子 S 3 がオンとなる。これにより、電極 X_i には電源 B 1 の正端子の電位 V_{S1} が印加される。その後、スイッチング素子 S 3 がオフとなり、スイッチング素子 S 2 がオンとなり、コンデンサ C 0 に蓄積された電荷により電極 X_i からコイル L 2、ダイオード D 2、そしてスイッチング素子 S 2 を介してコンデンサ C 1 に電流が流れ込む。このとき、コイル L 2 及びコンデンサ C 1 の時定数により電極 X_i の電位は図3に示すように徐々に低下する。電極 X_i の電位がほぼ 0 V に達すると、スイッチング素子 S 2 がオフとなり、スイッチング素子 S 4 がオンとなる。

【0018】かかる動作によって X 行電極ドライバ3は図3に示した如き正電圧の維持放電パルス I P_i を電極 X_i に印加する。維持放電パルス I P_i が消滅するスイッチング素子 S 4 のオン時に同時に、Y 行電極ドライバ4ではスイッチング素子 S 11 がオンとなり、スイッチング素子 S 14 がオフとなる。スイッチング素子 S 14 がオンであったときには電極 Y_j の電位はほぼ 0 V のアース電位となっているが、スイッチング素子 S 14 がオフとなり、スイッチング素子 S 11 がオンになると、コンデンサ C 2 に蓄えられている電荷によりコイル L 3、ダイオード D 3、スイッチング素子 S 11、スイッチング素子 S 15、スイッチング素子 S 13、そしてダイオード

D 6 を介して電流が電極 Y_j に達してコンデンサ C 0 に流れ込み、コンデンサ C 0 を充電させる。このとき、コイル L 3 及びコンデンサ C 0 の時定数により電極 Y_j の電位は図3に示すように徐々に上昇する。

【0019】次いで、スイッチング素子 S 11 がオフとなり、スイッチング素子 S 13 がオンとなる。これにより、電極 Y_j には電源 B 3 の正端子の電位 V_{S1} が印加される。その後、スイッチング素子 S 13 がオフとなり、スイッチング素子 S 12 がオンとなり、コンデンサ C 0

10 に蓄積された電荷により電極 Y_j からダイオード D 5、スイッチング素子 S 15、コイル L 4、ダイオード D 4、そしてスイッチング素子 S 12 を介してコンデンサ C 2 に電流が流れ込む。このとき、コイル L 4 及びコンデンサ C 2 の時定数により電極 Y_j の電位は図3に示すように徐々に低下する。電極 Y_j の電位がほぼ 0 V に達すると、スイッチング素子 S 12 がオフとなり、スイッチング素子 S 14 がオンとなる。

【0020】かかる動作によって Y 行電極ドライバ4は図3に示した如き正電圧の維持放電パルス I P_j を電極 Y_j に印加する。このように、サスティン期間においては、維持放電パルス I P_i と維持放電パルス I P_j とが交互に生成して電極 X_i ~ X_j と電極 Y_i ~ Y_j とに交互に印加されるので、上記壁電荷が残留したままとなつてある発光放電セルは放電発光を繰り返しその発光状態を維持する。

【0021】

【発明が解決しようとする課題】上記した従来の PDP 駆動装置において、スキャンドライバ部はスイッチング素子 S 21 として PMOS-FET 又は NMOS を用い、スイッチング素子 S 22 として NMOS-FET を用いて、それらの直列接続によりその接続点を電極 Y_j への出力とする構成となっているが、この場合、スイッチング素子 S 21 を構成する FET のオン抵抗は高いので、その駆動能力はスイッチング素子 S 22 を構成する FET のそれに比べて著しく劣ることになる。よって、サスティン期間にサスティンドライバ部による維持放電パルス電流をスイッチング素子 S 21 を介して電極 Y_j へ供給することができないので、スイッチング素子 S 13 によるバイパス回路を介して維持放電パルス電流を PDP 電極 Y_j へ供給することが行なわれ、回路規模が大きくなり、コスト高になるという問題点があった。

【0022】そこで、本発明の目的は、回路規模が大きくすることなくサスティン期間に PDP へ維持放電パルス電流を供給することができる PDP 駆動装置を提供することである。

【0023】

【課題を解決するための手段】本発明の PDP 駆動装置は、複数の行電極対と、行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを駆動する駆動装置

であって、発光セル及び非発光セルを選択するために行電極対の一方に走査パルスを供給するスキャンドライバと、発光セルのみを発光維持するために行電極対の一方に維持放電パルスを供給する維持放電ドライバとを備え、スキャンドライバは行電極対の一方に各々の一端が共通接続された2つのスイッチング素子を有し、スキャンドライバの作動時には2つのスイッチング素子のうちの一方の他端に第1電位が印加され、2つのスイッチング素子のうちの他方の他端に第1電位より低く走査パルスの電位に等しい第2電位が印加され、維持放電ドライバの作動時に維持放電ドライバの出力が他方のスイッチング素子の他端に電気的に接続されることを特徴としている。

【0024】本発明によれば、維持放電ドライバから出力された維持放電パルスは他方のスイッチング素子を介して行電極対の一方に供給される。

【0025】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図4は、本発明によるPDP駆動装置の構成を示しており、図1及び図2に示した従来装置と同一部分は同一符号を用いて示している。この図4のPDP駆動装置においては、スイッチング素子S15に接続されている接続ライン13には電源B6の負端子が接続されている。電源B6の正端子はスイッチング素子S21を介して電極Y₁への接続ライン14に接続され、接続ライン13と接続された電源B6の負端子はスイッチング素子S22を介して接続ライン14に接続されている。スイッチング素子S21にはダイオードD5が並列に接続され、またスイッチング素子S22にはダイオードD6が並列に接続されている。ダイオードD5は接続ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0026】電源B5は図2の従来装置とは正負端子を逆にして接続されており、電圧V_{0..1..}として例えば、10~20Vを発生する。その他の構成は図1及び図2に示した従来装置と同一であるので、ここでの説明を省略する。次に、かかる構成の本発明によるPDP駆動装置の動作について図5のタイミングチャートを参照しつつ説明する。このPDP駆動装置の動作がリセット期間、アドレス期間及びサスティン期間からなることは図2の従来装置と同様である。

【0027】先ず、リセット期間になると、X行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16, S22が共にオンとなる。その他のスイッチング素子はオフである。スイッチング素子S8のオンにより電源B2の正端子からスイッチング素子8、抵抗R1を介して電極X₁に電流が流れ、またスイッチング素子S16, S22のオンにより電極Y₁からスイッチング素子S22、抵抗R

2、スイッチング素子S16を介して電源B4の負端子に電流が流れ込む。電極X₁の電位はコンデンサC0と抵抗R1との時定数により徐々に上昇してリセットパルスP_{R1}となり、電極Y₁の電位はコンデンサC0と抵抗R2との時定数により徐々に低下してリセットパルスP_{R2}となる。リセットパルスP_{R1}は最終的に電圧V_{0..1..}となり、リセットパルスP_{R2}は最終的に電圧-V_{0..1..}となる。このリセットパルスP_{R1}は電極X₁~X_nの全てに同時に印加され、リセットパルスP_{R2}も電極Y₁~Y_n毎に生成されて電極Y₁~Y_n全てに同時に印加される。

【0028】これらリセットパルスP_{R1}及びP_{R2}の同時印加により、PDP1の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S8, S16, S22はリセットパルスP_{R1}及びP_{R2}のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4, S14及びS15がオンとなり、電極X₁及びY₁は共にアースされる。これによりリセットパルスP_{R1}及びP_{R2}は消滅する。

【0029】次に、アドレス期間が開始されると、スイッチング素子S14及びS15がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S22がオンとなる。スイッチング素子S17及びS22のオンにより電源B5の負端子の負電位-V_{0..1..}がスイッチング素子S17、そしてスイッチング素子S22を介して電極Y₁に印加される。

【0030】アドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスD_{P1}~D_{Pn}に変換し、これを1行分毎に、上記列電極D₁~D_nに順次印加する。図5に示すように電極Y₁, Y_{1..1..}に対しては画素データパルスD_{P1}, D_{P1..1..}が印加される。

【0031】Y行電極ドライバ4は、正電圧のブライミングパルスP_Pを行電極Y₁~Y_nに順次印加して行く。更に、各ブライミングパルスP_Pの印加直後でありかつ上記画素データパルス群D_{P1}~D_{Pn}各々のタイミングに同期させて負電圧の走査パルスS_Pを行電極Y₁~Y_nに順次印加して行く。電極Y₁について説明すると、ブライミングパルスP_Pを生成する際には、スイッチング素子S21がオンとなり、スイッチング素子S22がオフとなる。また、スイッチング素子S17はオンのままである。これにより電源B6と電源B5とはスイッチング素子S17を介して直列に接続された状態となるので、電源B6の正端子の電位はV_{0..1..}-V_{0..1..}(例えば、140V)となる。この正電位がスイッチング素子S21を介して電極Y₁にブライミングパルスP_Pとして印加される。

50 【0032】ブライミングパルスP_Pの印加後、アドレ

ストライバ2からの画素データパルスD P₁の印加に同期してスイッチング素子S 2 1がオフとなり、スイッチング素子S 2 2がオンとなる。これにより電源B 5の負端子の負電位-V_{0..1}がスイッチング素子S 1 7、そしてスイッチング素子S 2 2を介して電極Y₁に走査パルスS Pとして印加される。そして、アドレスドライバ2からの画素データパルスD P₁の印加の停止に同期してスイッチング素子S 2 1がオンとなり、スイッチング素子S 2 2がオフとなり、電源B 6の正端子の電位V_{0..1}-V_{0..1}がスイッチング素子S 2 1を介して電極Y₁に印加される。その後、電極Y_{1..1}についても図5に示すように、電極Y₁と同様にプライミングパルスP Pが印加され、アドレスドライバ2からの画素データパルスD P_{1..1}の印加に同期して走査パルスS Pが印加される。

【0033】走査パルスS Pが印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルスS Pが印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。

【0034】アドレス期間からサスティン期間に切り替わる時には、スイッチング素子S 1 7、S 2 1はオフとなり、代わってスイッチング素子S 1 4及びS 1 5がオンとなる。スイッチング素子S 4のオン状態は継続される。サスティン期間におけるX行電極ドライバ3の動作は、図2に示した従来装置の場合と同一であるので、動作説明を省略するが、X行電極ドライバ3は図5に示した如き正電圧の維持放電パルスI P₁を電極X₁に印加する。

【0035】Y行電極ドライバ4では、維持放電パルスI P₁が消滅するスイッチング素子S 4のオン時に同時に、スイッチング素子S 1 1がオンとなり、スイッチング素子S 1 4がオフとなる。スイッチング素子S 1 4がオンであったときには電極Y₁の電位はほぼ0 Vのアース電位となっているが、スイッチング素子S 1 4がオフとなり、スイッチング素子S 1 1がオンになると、コンデンサC 2に蓄えられている電荷によりコイルL 3、ダイオードD 3、スイッチング素子S 1 1、スイッチング素子S 1 5、そしてダイオードD 6を介して電流が電極Y₁に達してコンデンサC 0に流れ込み、コンデンサC 0を充電させる。このとき、コイルL 3及びコンデンサ

C 0の時定数により電極Y₁の電位は図5に示すように徐々に上昇する。

【0036】次いで、スイッチング素子S 1 1がオフとなり、スイッチング素子S 1 3がオンとなる。これにより、電極Y₁には電源B 3の正端子の電位V_{0..1}がスイッチング素子S 1 3、スイッチング素子S 1 5、そしてダイオードD 6を介して印加される。その後、スイッチング素子S 1 3がオフとなり、スイッチング素子S 1 2がオンとなり、更にスイッチング素子S 2 2がオンとなり、コンデンサC 0に蓄積された電荷により電極Y₁からスイッチング素子S 2 2、スイッチング素子S 1 5、コイルL 4、ダイオードD 4、そしてスイッチング素子S 1 2を介してコンデンサC 2に電流が流れ込む。このとき、コイルL 4及びコンデンサC 2の時定数により電極Y₁の電位は図5に示すように徐々に低下する。電極Y₁の電位がほぼ0 Vに達すると、スイッチング素子S 1 2及びS 2 2がオフとなり、スイッチング素子S 1 4がオンとなる。

【0037】かかる動作によってY行電極ドライバ4は図5に示した如き正電圧の維持放電パルスI P₁を電極Y₁に印加する。このように、サスティン期間においては、維持放電パルスI P₁と維持放電パルスI P₂とが交互に生成して電極X_{1..1}と電極Y_{1..1}とに交互に印加されるので、上記壁電荷が残留したままとなっている発光放電セルは放電発光を繰り返しその発光状態を維持する。

【0038】

【発明の効果】以上のごく、本発明によれば、スイッチング素子によるバイパス回路を介することなくサスティン期間にPDPへ維持放電パルス電流を供給することができるので、回路規模が増大することを防止することができる。

【図面の簡単な説明】

【図1】PDP駆動装置を示すブロック図である。

【図2】従来の駆動装置の構成を示す回路図である。

【図3】図2の装置の各部のタイムチャートである。

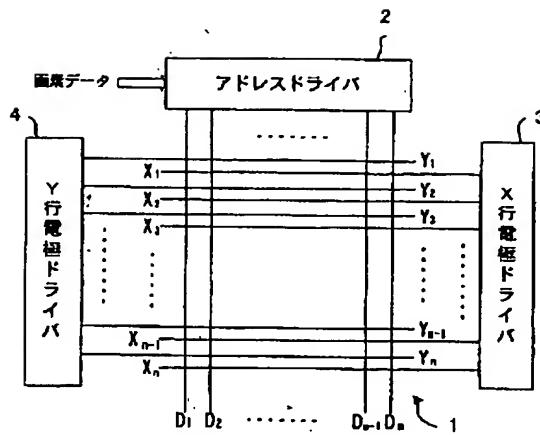
【図4】本発明の実施例を示す回路図である。

【図5】図4の装置の各部のタイムチャートである。

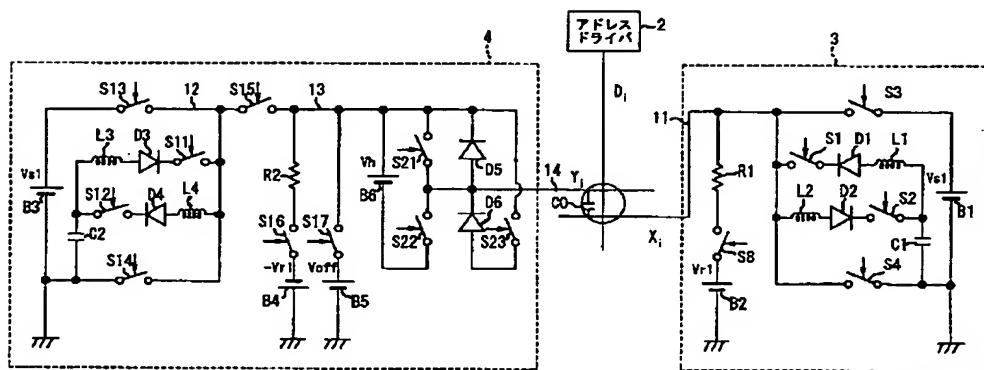
【符号の説明】

- 1 PDP
- 2 アドレスドライバ
- 3 X行電極ドライバ
- 4 Y行電極ドライバ

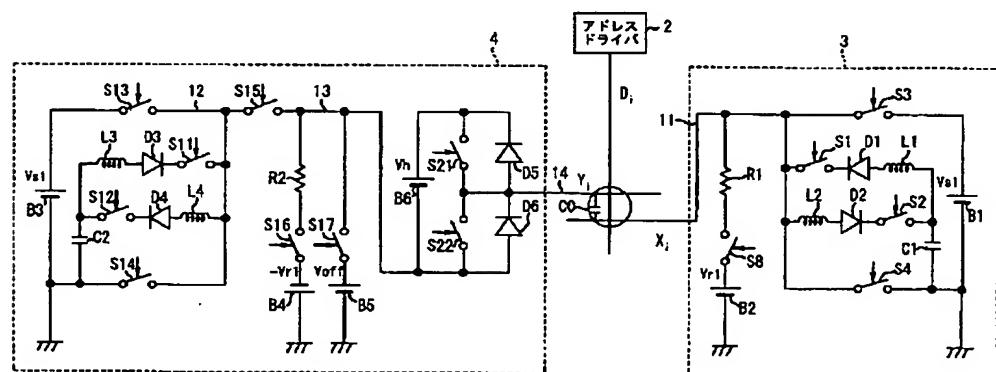
【図 1】



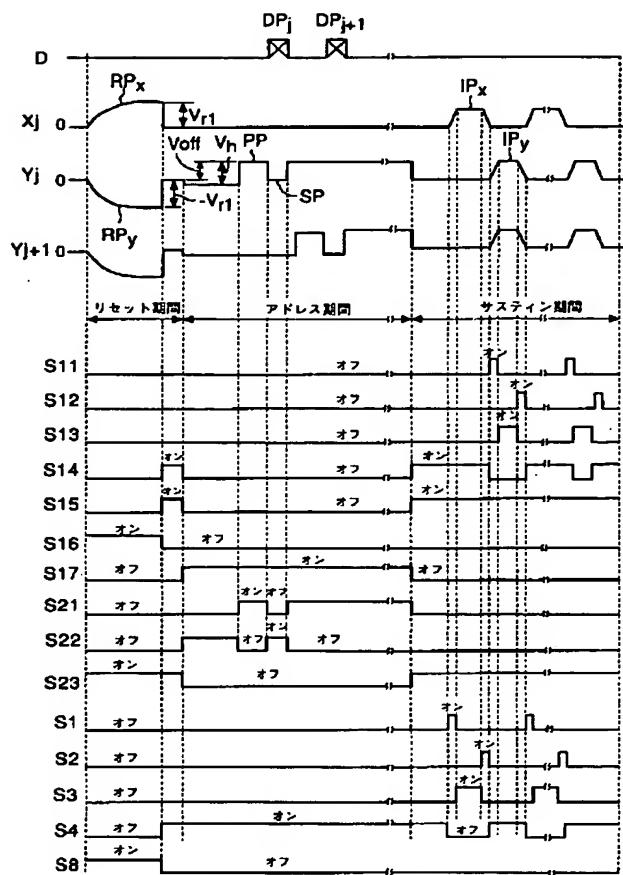
【図 2】



【図 4】



【図 3】



【図 5】

